

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-325204

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

G06F 13/12

G06F 3/06

G06F 3/08

G06F 13/38

G11B 20/10

(21)Application number : 2000-149799

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.05.2000

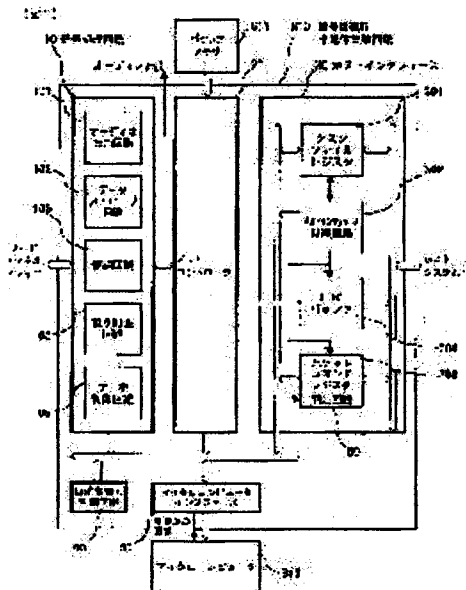
(72)Inventor : MITSUISHI NAOMIKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND OPTICAL DISK DRIVE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate a processing instructed by a command.

SOLUTION: This circuit is provided with a judgment circuit (60) for judging a part for specifying an operation in the command and a control circuit (302) for controlling data transfer based on the judged result. Judgment in the judgment circuit is the judgment by hardware different from a microcomputer and is completed in shorter time than the judgment by the microcomputer. Also, by performing the judgment in the judgment circuit by the hardware different from the microcomputer, the loads of the microcomputer are reduced. Thus, the processing instructed by the command is accelerated.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-325204

(P2001-325204A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) IntCl ⁷	識別記号	F I	テマコード(参考)
G 0 6 F 13/12	3 3 0	G 0 6 F 13/12	3 3 0 A 5 B 0 1 4
3/06	3 0 2	3/06	3 0 2 A 5 B 0 6 5
3/08		3/08	F 5 B 0 7 7
13/38	3 1 0	13/38	3 1 0 A 5 D 0 4 4
G 1 1 B 20/10		G 1 1 B 20/10	D
審査請求 未請求 請求項の数 5 O L (全 15 頁)			

(21) 出願番号 特願2000-149799(P2000-149799)

(22) 出願日 平成12年5月17日 (2000. 5. 17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三ッ石 直幹

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

Fターム(参考) 5B014 EB05 GC06 GD07 GD22 GD23

GD25 GD26

5B065 BA03 CC08 CE13 CE14 CH01

5B077 AA04 DD02 DD17 DD21

5D044 BC03 CC04 FG10 FG24 HL02

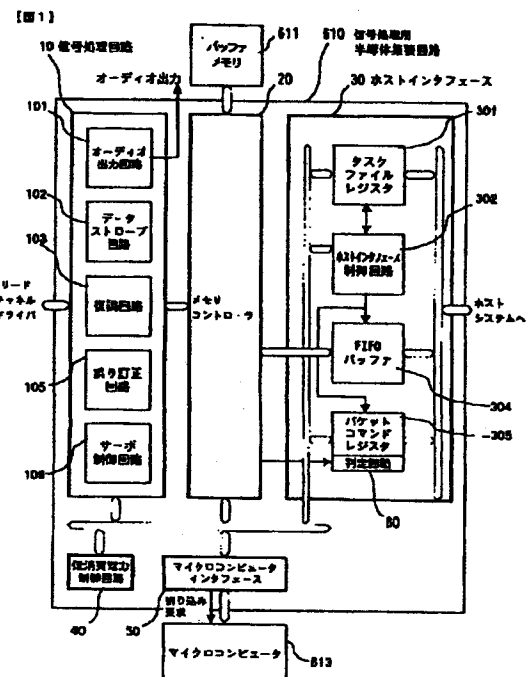
HL11

(54) 【発明の名称】 半導体集積回路及び光ディスクドライブ装置

(57) 【要約】

【課題】 コマンドによって指示された処理の高速化を図る。

【解決手段】 コマンドにおける動作を指定する部分の判定を行う判定回路(60)、この判定結果に基づいてデータ転送制御を行う制御回路(302)を設ける。上記判定回路での判定はマイクロコンピュータとは別のハードウェアによる判定であり、上記マイクロコンピュータでの判定よりも短時間で完了する。また、上記判定回路での判定を、上記マイクロコンピュータとは別のハードウェアで行うことで、上記マイクロコンピュータの負荷を軽減することができる。これにより、コマンドによって指示された処理の高速化を図る。



【特許請求の範囲】

【請求項1】 信号を処理するための信号処理回路と、ホストシステムとの間で信号のやり取りを可能にするホストインタフェースと、上記信号処理回路及び上記ホストインタフェースの動作制御を司るマイクロコンピュータとの間で信号のやり取りを可能にするマイクロコンピュータインタフェースとを備え、上記ホストインタフェースは、上記ホストシステムから伝達されるコマンドを記憶するパケットコマンドレジスタと、上記コマンドにおける動作を指定する部分を判定する判定回路と、上記判定回路での判定結果に基づいてデータ転送制御を行う制御回路と、を含んで成ることを特徴とする半導体集積回路。

【請求項2】 上記判定回路は、所定のオペレーションコード情報を保持するための比較レジスタと、上記パケットコマンドレジスタから出力されたパケットコマンドにおけるオペレーションコードが、上記比較レジスタの保持情報と一致するか否かを比較するための比較回路と、を含んで成る請求項1記載の半導体集積回路。

【請求項3】 上記比較回路の比較結果に対応して上記マイクロコンピュータに対する複数の割り込み要因フラグを記憶するためのレジスタを備えた請求項2記載の半導体集積回路。

【請求項4】 上記マイクロコンピュータによって読み出し可能であって、上記比較結果を保持可能なレジスタを含む請求項2又は3記載の半導体集積回路。

【請求項5】 光ディスクの記憶情報を検出するためのピックアップと、上記ピックアップを介して上記光ディスクの記憶情報を読み出すためのリードチャンネルと、上記光ディスクからの情報読み出しに必要な駆動信号を生成するとともに、上記リードチャンネルの出力信号を処理するための信号処理手段と、を含む光ディスクドライブ装置であって、上記信号処理手段は、請求項1乃至4の何れか1項記載の半導体集積回路とされて成ることを特徴とする光ディスクドライブ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号処理用の半導体集積回路に関し、例えばCD-ROM（コンパクトディスク・リードオンリメモリ）ドライブ、あるいは、DVD-ROM（デジタルバーサタイルディスク・リードオンリメモリ）ドライブなどの光ディスクドライブ装置に適用して有効な技術に関する。

【0002】

【従来の技術】 パーソナルコンピュータシステムなどに搭載される記憶装置として、CD-ROM、あるいは、DVD-ROMドライブが用いられる。

【0003】 CD-ROMやDVD-ROMドライブのホストインタフェースとして、例えば、平成8年3月に（株）トリケップス社から発行された「ATA/ATAPIインタフェース技術」に記載のATAPIインタフェースが知られている。このインタフェースには、タスクファイルレジスタなどのように、ホスト及びマイクロコンピュータの双方からリード又はライト可能なレジスタが含まれている。

【0004】 上記CD-ROMドライブの読み出し速度が標準速から32倍以上にまで向上されており、DVD-ROMドライブについても、読み出し速度の向上が望まれている。この読み出し速度の高速化には、上記信号処理の高速化に加えて、全体の制御を司る、システムコントロール用マイクロコンピュータを高速化したり、負荷を軽減したりする必要がある。

【0005】

【発明が解決しようとする課題】 例えば、ATAPIなどのホストインタフェースからは、12バイトのパケットコマンドによって、光ディスクのリードが指示される。すると、制御用のマイクロコンピュータは、先ず、パケットコマンドが入力されたことを割り込みによって検出し、そして割り込み要因フラグなどをリードして、この割り込み要因の判定を行う。例えば、以下の通りである。

【0006】

BTST. B #0, ROL
BEQ L0

すなわち、汎用レジスタROLに、リードした割り込み要因フラグレジスタのビットがセットされているか否かを判別し、もしそれがセットされていれば、所定の処理ルーチンL0に分岐する。これが所定ビット数分繰り返される。

【0007】 割り込み要因の判定によって、パケットコマンド受信割り込みを確認すると、パケットコマンドが格納されているFIFO（先入れ先出し）バッファなどをリードする。リードしたパケットコマンドの第1バイトであるオペレーションコードを判定する。かかる判定は、以下のように比較命令と条件分岐命令によって行われる。

【0008】

CMP. B #OP1, ROH
BEQ L1

すなわち、汎用レジスタROHに格納されたオペレーションコードと、イミディエイトデータOP1（例えば、リードコマンドの場合は、「A8」）とが比較され、それらが一致していれば、所定の処理ルーチンL1に分岐される。これが、想定されるオペレーションコード分繰り返される。この判定の繰り返しのうち、先頭の方で比較されるオペレーションコードの方が高速に実行可能であることは言うまでもない。従って、当該システムにお

いて、高速化すべきものの順に比較が行われる。

【0009】また、条件分岐命令の分岐アドレスは、当該条件分岐命令の存在するアドレスを基準にして生成され、相対値は符号付き16ビット乃至8ビットとされることが多い。このため、所望の処理に直接分岐できず、上記処理ルーチン11に、さらに分岐命令が配置されることも考えられる。この場合は処理時間が増大する。

【0010】判定したオペレーションコードの処理ルーチンの中では、コマンドに即した処理が行われる。例えば、リードコマンドの場合は、指定されたデータが、バッファメモリに読み出し済みであるか否かが判別され、読み出し済みであれば、当該データが、ホストインタフェースから出力されるし、読み出しが行われていない場合には、光ディスクからのデータ再生が行われる。

【0011】ところで、上記のようにATAPIなどのホストインタフェースからは、12バイトのパケットコマンドによって光ディスクのリードが指示されるが、このコマンド発行から所望データが実際に得られるまでの時間を短縮するには、上記パケットコマンドによって指示された処理を高速に行う必要がある。

【0012】しかしながら、本願発明者の検討によれば、上記の処理を制御用のマイクロコンピュータによって行うことは、当該マイクロコンピュータの負荷が重すぎて処理に時間がかかっていることが見いだされた。

【0013】本発明の目的は、コマンドによって指示された処理の高速化を図ることにある。

【0014】本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】すなわち、信号を処理するための信号処理回路と、ホストシステムとの間で信号のやり取りを可能にするホストインタフェースと、上記信号処理回路及び上記ホストインタフェースの動作制御を司るマイクロコンピュータとの間で信号のやり取りを可能にするマイクロコンピュータインタフェースとを備えて半導体集積回路が構成されるとき、上記ホストシステムから伝達されるコマンドを記憶するコマンドレジスタと、上記コマンドにおける動作を指定する部分を判定する判定回路と、上記判定回路での判定結果に基づいてデータ転送制御を行う制御回路とを含んで、上記ホストインタフェースを構成する。更に、半導体集積回路には、信号処理結果を格納するメモリを制御する手段を設けることができる。上記判定回路には転送すべきデータが前記半導体集積回路が制御するメモリに存在することを検出する手段を含めることができる。また、上記判定回路には、更に、転送すべきデータの論理的なアドレスと、前記半導体集積

回路が制御する物理的なアドレスとの対応をつける手段を含めることができる。

【0017】上記の手段によれば、上記判定回路は、上記コマンドにおける動作を指定する部分を判定し、上記制御手段は、上記判定回路での判定結果に基づいてデータ転送制御を行う。上記判定回路での判定は、上記マイクロコンピュータとは別のハードウェアによる判定であり、上記マイクロコンピュータでの判定よりも短時間で完了する。また、上記判定回路での判定を、上記マイクロコンピュータとは別のハードウェアで行うことで、上記マイクロコンピュータの負荷を軽減する。このことが、コマンドによって指示された処理の高速化を達成する。

【0018】このとき、上記判定回路を容易に実現するには、所定のオペレーションコード情報を保持するための比較レジスタと、上記パケットコマンドレジスタから出力されたパケットコマンドにおけるオペレーションコードが、上記比較レジスタの保持情報と一致するか否かを比較するための比較回路とを含んで構成すると良い。

【0019】また、上記比較回路の比較結果に対応して上記マイクロコンピュータに対する複数の割り込み要因フラグを記憶するためのレジスタを設けることができる。

【0020】さらに、上記マイクロコンピュータによって読み出し可能であって、上記比較結果を保持可能なレジスタを設けることができる。かかるレジスタには分岐アドレス生成に利用可能な情報を保持するとよい。

【0021】そして、光ディスクの記憶情報を検出するためのピックアップと、上記ピックアップを介して上記光ディスクの記憶情報を読み出すためのリードチャンネルと、上記光ディスクからの情報読み出しに必要な駆動信号を生成するとともに、上記リードチャンネルの出力信号を処理するための信号処理手段とを含んで光ディスクドライブ装置が構成されるとき、上記信号処理手段として、上記半導体集積回路を適用することができる。

【0022】

【発明の実施の形態】図2には、本発明にかかる光ディスクドライブ装置の構成例が示される。

【0023】601はCD又はDVDなどの光ディスクであり、この光ディスク601はスピンドルモータ602の回転駆動によって所定の速度で回転される。603はドライバであり、このドライバ603は、上記スピンドルモータを駆動する。604はピックアップであり、このピックアップ604は、回転する上記光ディスク601から記憶情報を読み取る。607は、リードチャンネルであり、このリードチャンネル607は、上記ピックアップ601の読み取り情報を増幅するアンプを含む。605はアクチュエータモータであり、このアクチュエータモータ605は、上記ピックアップ604の位置を移動させる。608はドライバであり、このドライバ60

8は、上記アクチュエータモータ605を駆動する。606はスレッドモータであり、このスレッドモータ606は、上記ピックアップ604とアクチュエータモータ605とをスライドさせる。609はドライバであり、このドライバ609は、上記スレッドモータ606を駆動する。610は信号処理用半導体集積回路であり、この信号処理用半導体集積回路610は、上記光ディスク601から読み出された信号を処理したり、上記ドライバ603、608、609を制御する機能を有する。611はバッファメモリであり、このバッファメモリ611は、リードチャネル607を介して取り込まれたデータを格納することによって、データのバッファリングを行う。613はマイクロコンピュータであり、このマイクロコンピュータ613は、この光ディスクドライブ装置600の全体的な動作制御を司る。

【0024】信号処理用半導体集積回路610は、光ディスク601のサーボ制御に用いられ、トラッキングエラー信号(TE)や、フォーカスエラー信号(FE)などをサーボ用A/D変換器で検出して、サーボ用D/A変換器でアクチュエータモータ605、スレッドモータ606などの制御を行うとともに、読み出したデータを復調及び復号化し、ホストインタフェースを介して、パーソナルコンピュータなどのホストシステムへ、復調及び復号化したデータを出力する。

【0025】光ディスク601の記憶情報は、ピックアップによって読み取られる。ピックアップ604は、発光素子(レーザダイオード)によってレーザ出力を行い、光ディスク604からの反射光を受光素子(フォトダイオード)で検出する。ピックアップ604の位置は、アクチュエータモータ605と、スレッドモータ606によって制御される。ピックアップ604から出力された信号は、リードチャネル607で増幅された後に、デジタル信号に変換される。マイクロコンピュータ613は、シリアルコミュニケーションインタフェースSCI及び入出力ポートIOPを介してリードチャネル607の動作を制御する。

【0026】アクチュエータモータ605に対しては、サーボ用D/A変換器の出力(SVDA)で、ドライバ608を介して制御する。アクチュエータモータ605は2軸分を備え、光ディスク604に垂直方向のフォーカス制御と、半径方向のトラッキング制御を行うため、サーボ用D/A出力を2本用いる。検出信号と基準信号との誤差が検出され、それに基づいて、スピンドルモータ602の制御が行われる。

【0027】信号処理用半導体集積回路610に内蔵されるホストインタフェースは、特に制限されないが、上記ATAPIインタフェースが採用される場合には、エンハンスドIDEバスなどのバスを介して、パーソナルコンピュータなどのホストシステムと接続され、コマンド及びパケットコマンドなどの取り込みが可能とされ

る。マイクロコンピュータ613は、上記コマンド及びパケットコマンドを読み出して解析し、それに基づく所定の動作制御、例えばステータスなどの表示と、データの入出力などを行う。また、信号処理用半導体集積回路610に内蔵されるタスクファイルレジスタのリード又はライトを検出して、低消費電力状態を解除したりする。

【0028】光ディスク601がCDの場合、ピックアップ604で読み出された信号は、リードチャネル607で増幅された後、デジタル波形に整形される。この出力(DIN)は、本信号処理用半導体集積回路610の復調回路で、デジタル復調されてからデインタリーブされることで、その配列が元に戻され、エラー訂正や補間が実施される。読み出された信号がデータの場合には、さらにデスクランブルされて誤り訂正などが行われ、バッファメモリ611に蓄えられた後、本信号処理用半導体集積回路610内のホストインタフェースから出力される。光ディスク601から読み出された信号がオーディオデータの場合は、それがバッファメモリに蓄えられた後、本信号処理用半導体集積回路610内のオーディオ用D/A変換器でアナログ信号に変換され、後段のアンプ612で増幅された後にヘッドフォン駆動用のオーディオ信号として出力される。また、デジタルオーディオデータの出力も可能にされる。

【0029】光ディスク601がDVDの場合にも、上記CDの場合と同様に、復調回路及び復号回路で処理が施された後、ホストインタフェースを介して出力される。

【0030】マイクロコンピュータ613は、システムコントロール用であり、所定のレジスタのリード又はライトや、シリアルコミュニケーションインタフェースSCIによるコマンド出力、入出力ポートIOPからの出力などによって、各部の動作を制御する。

【0031】また、光ディスク601を載置するためのトレイ(図示せず)に対しては、オープンスイッチ信号、クローズスイッチ信号などが入出力ポートIOPを介して伝達される。イジェクトスイッチの操作情報が割り込み要求信号としてマイクロコンピュータ613に入力される。上記トレイを動かすためのローディングモータは、マイクロコンピュータ613に内蔵されているパルス幅変調タイマの出力信号PWMによって駆動される。

【0032】さらに、LED(発光ダイオード)616は、入出力ポートIOPの出力信号で駆動され、このドライブが組み込まれるパーソナルコンピュータなどのシステムに適合するように、入出力ポートIOPやアナログ入力によって、オプション選択用の各種設定(OPT)情報615がマイクロコンピュータ613に取り込まれ、シリアルコミュニケーションインタフェースSCIによって評価用のシステム(EQP)614などとの

インタフェースがとられる。

【0033】マイクロコンピュータ613は、上記制御に際して、上記信号処理用半導体集積回路からの割り込み要求信号を取り込み、割り込み（INT）が要求されていると、所定のタイミングで、実行中の処理を中断して、所定の割り込み処理ルーチンに分岐する。いずれの割り込み要因が発生しているかは、ベクタで示されたり、割り込み要因フラグをリードして判定され、その上で例えばコマンド入力完了やタイマのコンペアマッチなど、それぞれの割り込み要因に応じた処理が行われる。このように割り込み要因フラグを個別に持つことによって、割り込み要因の判定が容易になる。

【0034】図1には、上記信号処理用半導体集積回路610の構成例が示される。

【0035】信号処理用半導体集積回路610は、特に制限されないが、リードチャネル607から取り込まれる信号の処理、及び各種モータを駆動するためのドライバに供給すべき信号を生成するための信号処理回路10、バッファメモリ611の動作を制御するためのメモリコントローラ20、パーソナルコンピュータなどのホストシステムとのインタフェースを可能とするホストインタフェース30、消費電力の低減を図るための低消費電力制御回路40、マイクロコンピュータ613とのインタフェースを可能とするためのマイクロコンピュータインタフェース50、及び図示されないDVD認証回路などを含んで、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0036】上記信号処理回路10は、特に制限されないが、オーディオ出力回路101、データストロープ回路102、復調回路103、誤り訂正回路105、及びサーボ制御回路106を含んで成る。

【0037】オーディオ出力回路101は、光ディスク601からのオーディオ再生においてアナログオーディオ信号及びデジタルオーディオ信号を出力する。

【0038】データストロープ回路102は、入力された信号の2値化処理、クロック抽出処理などを行う。

【0039】復調回路103は、DVD再生時には、8-16方式の復調を行う。8-16方式の復調は、16ビットの入力を所定の8ビットに変換するものであり、それはテーブル変換によって実現される。さらに必要に応じて、デインタリーブ、シンク検出などが行われ、復調されたデータは、メモリコントローラ20を介してバッファメモリ611へブロック単位又はセクタ単位で順次書き込まれる。このときブロック単位又はセクタ単位にアドレス情報が付加される。CD再生時には、図示はされないCDオーディオ復調回路や、CD-ROMのシンク検出回路、デスクランブル及びヘッダの検出回路などが使用される。

【0040】誤り訂正回路105は、バッファメモリ6

11の記憶データに対して、CD-ROM又はDVDのシンドロームの計算を行い、もしも、誤りがある場合には、その誤り訂正を行った後に、CRC（巡回符号）チェックを行ってデータを得る。誤り訂正の概略処理としては、シンドローム計算、誤りの有無判定、ユークリッド互除法、チェンサーチ、誤り数値計算、及び訂正を挙げることができる。シンドローム計算は、一連の入力符号をバッファメモリからリードし、シンドローム多項式の係数を算出する。シンドローム多項式の係数が、すべてゼロである場合は入力符号に誤りがないことになる。誤りがあった場合には、最初に、ユークリッド互除法により、シンドローム多項式から誤り位置多項式と誤り数値多項式が求められ、続いて、誤り位置多項式の根が求められることによって、誤りの位置が求められる。これらを基に、誤りの数値が計算され、その訂正が行われる。

【0041】サーボ制御回路106は、図示されないサーボ用A/D（アナログ/デジタル）変換器、サーボ用D/A（デジタル/アナログ）変換器、及びパルス検出回路を有し、図2に示されるリードチャネル607や、ドライバ603、608、609を介して、光ディスク601やピックアップ604の動作制御を行う。上記リードチャネル607から制御に必要な情報、例えばフォーカスエラー、トラッキングエラーなどの情報がサーボ用A/D変換器によって取り込まれる。これらの情報からサーボ処理が行われる。すなわち、サーボ用D/A変換器の出力信号に基づいて上記アクチュエータモータ605の回転が制御されることによってピックアップ604のフォーカスとトラッキングが調整される。また、トラッキング調整の低周波成分が抽出され、そのサーボ用D/A変換器出力によってスレッドモータ606の制御が行われる。そして、サーボ制御回路106においては、回転速度が検出され、そのサーボ処理結果についてのサーボ用D/A変換出力によってスピンドルモータ602の制御が行われる。尚、スピンドルモータ602の制御には、D/A変換出力に代えてPWM（パルス幅変調）出力を用いることができる。

【0042】メモリコントローラ20は、バッファメモリ611に対する入出力の要求の調停を行うとともにバス制御を行う。また、マイクロコンピュータのCPU（中央処理装置）以外の各入出力要求毎に、バッファメモリ611に対するアドレスポインタを持っている。光ディスク601の論理ブロックアドレスと、バッファメモリ611のアドレスとの対応は、データ再生もしくは誤り訂正におけるバッファメモリ611へのライト時に決定されるようになっている。また、パケットコマンドの所定領域の情報に基づいて、上記アドレス対応の検索が可能とされる。この検索結果は、割り込み要求としてマイクロコンピュータインタフェース50を介してマイクロコンピュータ613に伝達される。

【0043】ホストインタフェース30は、タスクファイルレジスタ301、ホストインタフェース制御回路302、FIFO（先入れ先出し）バッファ304、及びパケットコマンドレジスタ305を含み、パーソナルコンピュータなどのホストシステムとインタフェース可能であり、特に制限されないが、ATAPI（ATA Attachment Packet Interface）とされる。ホストインタフェースを介して、コマンドの入力、ステータスの出力とデータの入出力が行われる。

【0044】タスクファイルレジスタ301には、BSYビット、DRQビットを持つステータスレジスタが含まれる。ATAPIにおいて、コマンドはタスクファイルレジスタ301のコマンドレジスタにライトされる。さらに、このコマンドが「AO」のとき、12バイトのパケットコマンドが続くので、これはデータとして入力され、それは所定のパケットコマンドレジスタ305に格納される。コマンドに従って、ホストインタフェース30は、バッファメモリ611と、図示されないホストシステムとの間のデータ転送を行う。この場合、FIFOバッファ304を介して、データの入出力が行われる。

【0045】コマンドが入力されると、BSY=1、DRQ=0となる。データ転送の準備が完了すると、BSY=0、DRQ=1となる。データ転送が終了すると、BSY=1、DRQ=0となった後、タスクファイルにコマンドの実行結果の設定が行われ、BSY=DRQ=0となる。これは次のコマンドを受け付け可能な状態である。

【0046】信号処理用半導体集積回路610にリセット信号が与えられると、当該半導体集積回路610はリセット状態になる。このリセットが解除されると、マイクロコンピュータ613からのリード又はライトが可能な状態になる。この後、マイクロコンピュータ613は初期化を行う。この初期化が終了すると、コマンド入力のための待機状態になる。

【0047】マイクロコンピュータ613は、ホストインタフェース30からのコマンド入力を、割り込みなどを使用して検出する。入力されたコマンドの内容を解釈し、それに従って、動作を開始する。再生時には、以下のように動作する。

【0048】マイクロコンピュータ613は、リードチャネル607などに動作を指示するとともに、所定のサーボ制御回路106の内部I/Oレジスタなどを設定することによって、フォーカス及びトラッキングサーボ制御を起動する。フォーカスがロックされると、スピンドルモータ制御を起動し、光ディスク601を回転させ、さらに、ピックアップ604を所望の位置に移動させる。

【0049】再生時には、ピックアップ604から出力されたデータが、リードチャネル607でデジタル信

号に変換され、それがこの信号処理用半導体集積回路610に入力される。かかるデータは、先ず、復調回路103に入力され、例えばDVDの場合、8-16方式の復調、デインタリーブ、シンクの検出などが順次行われる。所定量のデータが復調されると、メモリコントローラ20に対して入力を要求する。このため、復調回路103は、図示されないが、所定量のバッファを内蔵する。

【0050】メモリコントローラ20は、所定のタイミングで、入力要求を受け付けて、復調されたデータを、復調回路103から、バッファメモリ611へ転送する。このため、バッファメモリ611のアドレスを示すポインタを持つ。それは、マイクロコンピュータ613のアドレス空間上に配置される内部I/Oレジスタとされ、マイクロコンピュータ613によって初期設定される。そしてその後はリングバッファとして動作する。

【0051】バッファメモリ611に所定量のデータ（例えばDVDの場合、1ブロック：182×208バイト）が蓄積されると、メモリコントローラ20から、誤り訂正回路105に動作開始が指示され、読み出しデータについての誤り訂正処理（復号化）が行われる。DVDの場合、リードソロン積符号の訂正が行われる。

【0052】所定のデータのエラー訂正処理が行われると、デコード完了割り込みが発生されて、それがマイクロコンピュータ613に通知される。マイクロコンピュータ613は、所定量のデータの復号化が完了すると、ホストインタフェース30の所定の内部I/Oレジスタなどを設定して、データ出力を指示する。これに従ってホストインタフェース30は、メモリコントローラ20に出力要求信号を送出する。メモリコントローラ20は、所定のタイミングで出力要求を受け付け、バッファメモリ611からFIFOバッファ304を介して、ホストバスへのデータ送出手を行う。ホストインタフェース30上のデータのスループットが適性になるように、FIFOバッファ304の容量が決定される。そして、コマンドの指示が完了するか、次のコマンドが入力されるまで、上記動作が継続される。

【0053】低消費電力回路40は、マイクロコンピュータ613による、内部I/Oレジスタの設定などに応じてクロック信号の発生を制御することにより、信号処理用半導体集積回路610を低消費電力状態に遷移させる。この状態は、マイクロコンピュータ613によって内部I/Oレジスタの設定が変更された場合、又はホストインタフェース30へのコマンド入力が出検された場合に解除される。例えば、スタンバイ状態において、ホストインタフェース30への任意のコマンドが入力された場合や、スリープ状態において、ホストインタフェース30へのリセットコマンドなどの特殊コマンドのみが検出された場合にスタンバイ状態が解除される。

【0054】図3には、上記光ディスクドライブ装置600において、ATAPIインタフェースによるデータ転送コマンドが入力された場合の動作の流れが示される。

【0055】まず、ホストシステムは、タスクファイルレジスタに所定のパラメータを設定し(S0)、AOコマンドをコマンドレジスタにライトし(S1)、信号処理用半導体集積回路がDRQビットを1にセットすると、パケットコマンドをライトする(S2)。パケットコマンドは、所定のパケットコマンドレジスタに格納される。マイクロコンピュータ613は、かかるコマンドをリードして、その内容を解析する(S3)。このコマンドがデータ転送コマンドの場合は以下になる。

【0056】要求されたデータが、バッファメモリ611に存在するか否かの判定が行われる(S4)。ホストシステムから要求されたデータがバッファメモリ611に存在しない(ミスヒット)と判断された場合には、データ読み込みのため、光ディスク601の再生が行われる(S5)。

【0057】バッファメモリ611にデータが準備できると、ホストデータ転送の設定(S6)が行われた後、DRQビットを1にセットし、データ転送を起動する(S7)。バッファメモリからデータをリードし、それを一時的にFIFOバッファに蓄えてから、ホストインタフェースに出力する。

【0058】尚、上記ステップS4の判定において、要求されたデータがバッファメモリ611に存在する(ヒット)と判断された場合には、上記ステップS5の光ディスクの再生を行うことなしに、上記ステップS6のデータ転送の設定が行われる。

【0059】次に、データ転送が終了したか否かの判定が行われる(S8)。この判定は、データ転送が終了したと判断されるまで繰り返される。このステップS8の判別において、データ転送が終了したと判断された場合には、タスクファイルレジスタにステータスの表示が行われる(S9)。ホストシステムは、ステータスの確認を行う(S10)。

【0060】図4には、割り込みに関係する内部レジスタが示される。

【0061】オペレーションコード指定レジスタopdec0~3は、4チャンネル分あり、それぞれパケットコマンドのオペレーションコードを指定する。デコーダアウト設定レジスタdecout0~3は、デコーダ結果レジスタに出力する内容を指定する。オペレーションコードが、オペレーションコード指定レジスタopdec0~3で指定したものと一致すると、対応するデコーダアウト設定レジスタdecout0~3が、デコード結果レジスタdecoutに転送される。

【0062】割り込み要因フラグレジスタには、以下のフラグがある。

【0063】パケットコマンド入力完了フラグpktendは、パケットコマンドの入力が完了した時点でセットされる。

【0064】デコードフラグdef0~3は、パケットコマンド入力完了時に、オペレーションコードが、オペレーションコード指定レジスタopdec0~3で指定したものと一致すると、対応するフラグがセットされる。そして、パケットコマンドフラグ0は、オペレーションコード指定レジスタ0で指定したオペレーションコードが検出されたときにセットされる。

【0065】デコードフラグdefは、いずれかのチャンネルのオペレーションコード指定レジスタで指定されたオペレーションコードが検出されたときにセットされる。これらのフラグは、上記パケットコマンド入力完了フラグpktendと同時にセットされるようにする。システムコントロール用のマイクロコンピュータ613が、かかる割り込み要因フラグレジスタをリードしたときに、それぞれのフラグが、相互に矛盾しない状態を示すことができる。これらの他に、割り込みイネーブルビットや、データ転送に関係する割り込み要因フラグなどがある。

【0066】判定すべき割り込み要因フラグが増える、後の方で判定する割り込み要因フラグほど処理が遅くなるが、後の方で判定する割り込み要因フラグには、必ずしも高速処理が必要でないコマンドもあるので、不都合は無い。少なくとも、使用する割り込み要因フラグを少なくすれば、割り込み要因フラグの判定の時間を短縮することができる。

【0067】例えば、リード(10)コマンド(「28」)、リード(12)コマンド(「A8」)は、転送長を示すパケットコマンドのフィールドが異なるのみであるので、割り込み要因を共通にし、その処理も共通化を図ることができる。この場合、リード(10)コマンドの転送長(第8、第9バイト)、リード(12)コマンドの転送長(第7~第10バイト)を格納する共通のパケットコマンドレジスタを設けるようにする。前者の場合、上位2バイトは、0を格納するようにする。さらに、ソフトウェア処理を共通にできる。

【0068】予め、割り込み要因グループの、実質的な処理ルーチン開始アドレスを、上記結果レジスタにライトしておく。これは以下のプログラムを、リセット後に実行するようにする。

【0069】

```
MOV. L    #INTSTART0, ERO
MOV. W    R0, @decout0
```

また、割り込み例外処理ルーチンの開始時には、以下のプログラムを実行すればよい。

【0070】

```
MOV. W    @decout, R0
BEQ      default
```


EXTU. L ERO
JSR @ERO

尚、適宜、詳細な論理構成や、マイクロコンピュータ613の仕様に応じて、最適化することができる。例えば、プログラムが64kB以下などの場合は、3番目の拡張命令(EXTU命令:上位ビットを0固定する)は必要ない。或いは、decoutのデフォルト値を設定できるようにしておけば、2番目の条件命令(BEQ命令:リードデータが0のとき分岐する)は必要ない。いずれにしても、割り込み要因フラグを逐次判定して、分岐するより高速化できる。

【0071】図5には、データ転送に関係する内部レジスタが示される。

【0072】データ転送は、データ転送の方向や、PIOなどのデータ転送モードなどを指定する転送モードレジスタDTMOD、データ単位を指定するブロックサイズレジスタBSZ、バッファメモリ611上の転送開始アドレスを指定する転送開始バッファメモリアドレスレジスタSTAR、転送ブロック数を指定するブロックカウントレジスタBCNTを持つ。転送データワード数は、ブロックサイズレジスタBSZの値と、ブロックカウントレジスタBCNTの値との積で指定される。

【0073】さらに、自動転送モード用として、上記に対応する、転送モードレジスタADTMOD、ブロックサイズレジスタABSZレジスタ、転送開始バッファメモリアドレスレジスタASTAR、ブロックカウントレジスタABCNTが設けられる。これらの保持内容は自動転送開始時に選択される。

【0074】また、バッファメモリ611に格納されているデータの有効データの先頭データと最終データを保持するため、論理ブロックアドレスとバッファメモリアドレスを保持する。これらは対になるようにする。これらはバッファメモリ611上の全てのデータについて持つ必要はなく、予め自動転送開始可能と判断されたデータの論理ブロックアドレスのみを指定すればよい。

【0075】尚、論理ブロックアドレスは、例えば、2048バイト単位で割り振られた、光ディスク上のデータの格納順序である。これは、例えば、CD-ROMの場合、ヘッダに付加されているMSF(分秒フレーム)アドレスから、次式によって求めることができる。

【0076】

【数1】

$$LBA = M \times 4500 + S \times 75 + F - 150$$

【0077】上式において、「M」は分を示し、「S」は秒を示し、「F」はフレームを示す。「M×4500」や「S×75」は、1フレームが1/75秒とされることに起因する。また、「-150」は、光ディスク601においてオーディオデータが、0分2秒0フレームから開始されることによる。上式によってLBAを計算し、これを内部I/Oレジスタに格納する。マイクロ

コンピュータ613が、これをリードして、その連続性やエラーの有無などを確認した後に、TOP/ENDを設定するようにしても良い。あるいは、再生時にそれが自動的に設定されるようにしてもよい。この場合は、モードやフォームも併せて記憶しておく。いずれにせよ、上式を実行する演算回路を設け、MSFアドレスを入力して論理ブロックアドレスを得るようにすれば、マイクロコンピュータ613でのソフトウェアの負担を軽減できる。また、論理ブロックアドレスを保持することによって、CD-ROM以外の媒体にも共通に利用可能にできる。

【0078】図6には、上記判定回路60及びホストインタフェース制御回路302の構成例が示される。

【0079】上記判定回路60は、特に制限されないが、第1比較回路61、オペレーションコードデコードレジスタ67(opdec0~3)、セクタ63、デコーダアウト設定レジスタdecout、割り込み要因フラグレジスタintsrを含んで成る。

【0080】上記ホストインタフェース制御回路302は、特に制限されないが、転送制御回路68、先頭論理ブロックアドレスレジスタLBA、転送長レジスタBSIZE、インクリメントINC、第2比較回路62、有効データ先頭ブロックレジスタTOP、有効データ最終ブロックレジスタEND、有効データ先頭アドレスレジスタTOPAR、有効データ最終アドレスENDAR、ヘッダLBAレジスタINLBA、ヘッダレジスタHEAD、演算器BMAR、転送モードレジスタADTMOD、ブロックサイズレジスタABSZ、転送開始バッファメモリアドレスASTAR、ブロックカウントレジスタABCNT、転送モードレジスタDTMOD、ブロックサイズレジスタBSZ、転送開始バッファメモリアドレスレジスタSTAR、ブロックカウントレジスタBCNTを含む。

【0081】パケットコマンドレジスタ305の第1バイトであるオペレーションコード(pkt0)と、オペレーションコードデコードレジスタ67(opdec0~3)に設定されたオペレーションコードとが第1比較回路61で比較される。比較回路の一例を示す論理記述が66で示される。この比較により制御信号det0~3が活性状態になる。例えば、パケットコマンドレジスタ305から出力されたオペレーションコードが、チャンネル0で設定したオペレーションコードopdec0と一致した場合には、制御信号det0が活性状態になる。

【0082】尚、複数のオペレーションコードに対応して、同一の処理を行うようにする場合は、オペレーションコードデコードレジスタ67を複数組みにすればよい。例えば、チャンネル0のオペレーションコードデコードレジスタをopdec0a~dの4本とする。この場合、第1比較回路61における論理記述は、次のように

変形される。

【0083】

【数2】 $\text{det}0 = (\text{pkt}0 == \text{opdec}0a) \mid$
 $(\text{pkt}0 == \text{opdec}0b) \mid \dots \mid (\text{pkt}0 ==$
 $\text{opdec}0d) ;$

【0084】制御信号det0～3に対応してセレクタ63による選択動作が制御される。それにより、対応するデコーダアウト設定レジスタdecout0～3が選択され、その結果がデコーダアウトレジスタdecoutに格納される。デコーダアウトレジスタdecoutの記憶情報は、第1比較回路61での比較結果としてマイクロコンピュータ613から参照可能とされる。上記比較結果によって、例えばリードコマンドなどの所定のコマンドに対しては、指定されたデータのアドレスとバッファメモリ上のデータのアドレス情報とを比較したりして、その結果を、さらに異なる割り込み要因フラグのセットや所定レジスタ表示に用いることができる。

【0085】上記セレクタ63の一例を示す論理記述が64で示される。制御信号det0～3のいずれも検出されなかったときは、それに代えて「0」が格納される。

【0086】一方、いずれかの制御信号の活性状態が検出されると、割り込み要因フラグdefがセットされる。また、制御信号det0～3に対応して、割り込み要因フラグレジスタにおける割り込み要因フラグdef0～3が割り込み要因フラグレジスタintsrにセットされる。割り込み要因フラグのセット部分の一例を示す論理記述が65で示される。この論理既述によれば、上記の比較において一致しなければ「1'b1」が割り込み要因フラグdefに設定される。図示されないが、割り込み要因フラグは、マイクロコンピュータ613の所定のライト動作などによってクリアされるようになっている。

【0087】上記同様に、オペレーションコードのデコードが行われる。そしてその結果が、リードコマンドのようなデータ転送の場合には、パケットコマンドに含まれる先頭論理ブロックアドレスがパケットコマンドレジスタの第2～5バイト(pkt2～5)から出力(LBA)され、後段のインクリメンタINCでインクリメントされ、第2比較回路62に伝達される。第2比較回路62では、上記インクリメンタINCの出力値と、バッファメモリ611上に配置されているデータの論理ブロックアドレス情報、すなわち、有効データ先頭ブロックレジスタTOPの値及び有効データ最終ブロックアドレスレジスタENDの値との比較が行われる。

【0088】ここで、有効データ先頭ブロックレジスタTOPの値や有効データ最終ブロックアドレスレジスタENDの値は、ヘッダレジスタHEADやヘッダLBAレジスタINLBAを介して復調回路103から転送されたものである。

【0089】上記第2比較回路62での比較において次式が成立するとき、データは一致した、とみなされる。

【0090】

【数3】 $\text{TOP} \leq \text{LBA} \leq \text{END}$

【0091】上式が成立する場合には、一致した論理ブロックアドレスに対応するバッファメモリアドレスを、演算器BMARで算出して、それをスタートアドレスレジスタASTARに転送する。演算器BMARでの演算は次式で示される。

10 【0092】

【数4】 $\text{ASTAR} = \text{TOPSR} + (\text{LBA} - \text{TOP}) \times \text{RSIZE}$

【0093】ここで、RSIZEは、バッファメモリ611の繰り返し周期である。例えば、CD-ROMの場合、メインデータ2352バイトと、イレージャフラグ294バイトと、サブコード96バイトを含むように適当な値を探るようにする。

【0094】さらに、パケットコマンドに含まれる転送長をパケットコマンドレジスタの第6～9バイト(pkt6～9)または第7～8バイト(pkt7～8)から出力し、ブロック数が算出される。例えば、データの単位ABSZが2048バイトの場合、下位11ビットが無視され、あるいはブロックサイズレジスタABSZで除算が行われる。パケットコマンドレジスタからの転送長の出力方法は、自動化するオペレーションコードによって、自動的に決まるようにする。このため、上記先頭論理ブロックアドレスをインクリメンタINCによって上記ブロック数分インクリメントした後に、第2比較回路62において、有効データ先頭ブロックレジスタTOPの値及び有効データ最終ブロックレジスタENDの値と比較する。この比較において一致しているデータブロックの個数を算出し、それをブロックカウントレジスタABCNTに設定する。これが終了すると、転送モードレジスタADTMODの所定のスタートビットがセットされて転送制御回路68に、データ転送の開始が指示される。転送制御回路68は、転送モードレジスタADTMOD、ブロックサイズレジスタABSZ、転送開始バッファメモリアドレスASTAR、ブロックカウントレジスタABCNTに従ったデータ転送が行われる。

40 【0095】また、割り込み要因フラグレジスタintsrへのフラグセットに基づいて、マイクロコンピュータ613に割り込みが要求される。マイクロコンピュータ613は、パケットコマンドの内容と、上記ADTMOD、ABSZ、ASTAR、ABCNTの内容を検査して所要の処理、例えば、光ディスク601から続きのデータの読み出しを指示したりする。

【0096】特に制限はされないが、要求されたデータの全てが一致したか否かによって、データ転送終了後に、所定のステータスを表示するようにする。全てが一致した場合には、データ転送終了後に、BSY=0、D

RQ=0とし、次のコマンド受け付け状態とする。全てが一致していない場合には、BSY=1、DRQ=0とし、それは動作が完了していないことを示す。

【0097】上記比較回路62での比較において、先頭論理ブロックアドレス(LBA)と、有効データ先頭ブロックレジスタTOP又は有効データ最終ブロックレジスタENDとが不一致の場合は、そのままマイクロコンピュータ613に割り込みが要求され、データの自動転送は行われない。例えば割り込み要因フラグレジスタ *intsr* では、不一致フラグ(*no-match*)に

「1'b1」が設定され、それによりマイクロコンピュータ613でのソフトウェアによる処理が行われる。

【0098】図7には、バッファメモリ611上でのデータ構成例が示される。

【0099】図7に示されるように、バッファメモリ611にはデータ格納領域 *blk1_0~blk1_n* と作業領域とが形成される。データ格納領域 *blk1_0~blk1_n* は、そのうちの一つが代表的に示されるように、シンク、ヘッダ、ユーザデータ、EDC(エラーディテクションコード)、ECC(パリティ)と、イ

レージャフラグ、及びサブコードを含んで成る。

【0100】バッファメモリ上の物理的なアドレスとは、光ディスク上の論理ブロックアドレスとは無関係に、一時的に割り当てられたものであり、光ディスクの再生の都度変わるものである。このバッファメモリ上の物理的なアドレスと、論理ブロックアドレスは、図6の判定回路においてTOPとTOPAR、及びENDとENDARによって対応付けられる。

【0101】CD-ROMのモード1のデータのみを転送する場合、バッファメモリ611の構造に従って、アドレスリピートサイズレジスタRSIZE、ブロックサイズレジスタBSZ、スタートアドレスレジスタASTSR、TOPAR、ENDARが設定される。モード2では、サブヘッダを含み、データの開始位置が異なるので、ASTSRが異なることになる。また、フォーマットによってBSZが異なる。

【0102】実際には、光ディスク601上に異なるモードのデータが含まれているから、光ディスク601の種類や、システムの仕様に応じて、システムコントロール用のマイクロコンピュータ613が、上記の通り、自動転送すべき先頭と最終のデータのアドレス情報を、有効データ先頭ブロックレジスタTOPや有効データ最終ブロックレジスタENDに保持することにより、柔軟な対応をとることができる。具体的には、CD-ROMに、オーディオ、モード1、モード2などのデータが混在している場合、モード1のデータを保持しているバッファメモリ611上の先頭と最終のデータを指定することにより、ホストシステムから指定されたデータがモード1に相当し、バッファメモリ611に存在することを検出した場合に、転送開始バッファメモリアドレスAS

TARや、ブロックサイズレジスタABSZに従って自動転送を行うことができる。ホストシステムから指定されたデータがモード2に相当する場合は、バッファメモリ611にデータが存在しても、自動転送は行わず、システムコントロール用のマイクロコンピュータ613の制御によって、データ転送を行うようにすることができる。

【0103】図8には、信号処理用半導体集積回路610の概略動作タイミングが示される。

【0104】同図は、リードコマンドに対応して、指定されたデータがバッファメモリ611上に存在し、データ転送が自動で行われる場合の例である。尚、ハイレベルは「1」で示され、ローレベルは「0」で示される。

【0105】コマンド入力可能状態(ステータスレジスタのBSY=0、DRQ=0)で、タスクファイルレジスタのコマンドレジスタ(*cmdreg*)にコマンド「A0」がライトされる。これをホストインタフェース制御回路302が判定して、パケットコマンド受信の準備を行い、データ転送を要求(BSY=0、DRQ=1)する。

【0106】6ワードのパケットコマンドが受信され、順次パケットコマンドレジスタ(*pktrg*)に格納される。先頭のデータにおける下位側のバイトがオペレーションコードに対応する。6ワードの受信が完了すると、一旦、ビジー状態(BSY=1、DRQ=0)となる。一方、パケットコマンド受信完了フラグが1にセットされ、パケットコマンド受信完了割り込みが発生する。この時点で、入力されたオペレーションコードが、所定のオペレーションコード(例えばリード(10)コマンド(「28」))であり、論理ブロックアドレスのアドレス変換によって、アドレスがヒット(*hit*)し、有効ビット(*valid*)がセットされていれば、自動データ転送開始(*autostart*=1)が指示される。

【0107】転送制御回路408が所要の動作を行い、レジスタSTS R、BSZ、BCNTなどを、上記の通り設定し、データ転送を要求(BSY=0、DRQ=1)する。PIO転送の場合は、タスクファイルレジスタのバイトカウントレジスタの設定(BSZ×BCNT)なども行われる。これに従って、ホストシステムがデータリードを行う。

【0108】全てのデータの転送が完了すると、転送制御回路408は、一旦、ビジー状態とされ、ステータスの自動設定が指示される(*setstatus*)。かかるステータスは、インタラプトリーズレジスタを、ステータスリード状態(*IO*=1、*COD*=1)とすることなどを含み、その後、コマンド受け付け状態(BSY=0、DRQ=0)とされる。

【0109】上記した例によれば、以下の作用効果を得ることができる。

【0110】(1) パケットコマンドなどのコマンド入力のレジスタ群を持つとともに、上記パケットコマンドにおけるオペレーションコードなどの動作を指示する部分を解読する手段として判定回路60を設け、この判定回路60のハードウェアにより上記オペレーションコードなどの動作を指示する部分の解読を行い、その解読結果に基づいて異なった割り込み要因フラグをセットするようにしている。直接、マイクロコンピュータ613でオペレーションコードを判定するのに比べて、パケットコマンドに基づく処理を効率的に行うことができる。また、マイクロコンピュータ613が信号処理用半導体集積回路610と単一の基板上に形成される場合などには、割り込み要求信号のビット数を増加することにより、互いに独立した割り込み信号として多数の割り込み要求を許容することができる。そして独立した割り込み要求信号は、互いに独立したベクタとすることができ、それは所要の処理ルーチンに即座に分岐することができる。また、上記解読結果を分岐アドレス生成に利用可能な情報として所定レジスタにセットし、このレジスタから解読結果をリードして分岐アドレスを生成することにより、マイクロコンピュータ613による判定処理を不要とし、所要の処理ルーチンへの分岐を容易に行い、更に処理を効率化することができる。判定や条件分岐の数を減らすことができ、プログラム容量の縮小や開発効率の向上にも寄与することができる。

【0111】(2) 割り込み要因フラグや、解読結果レジスタに反映するオペレーションコードを設定可能にすることにより、使用者やシステム毎の仕様に応じて内部処理の高速化を図ることができる。

【0112】(3) 更に、バッファメモリ上のデータのアドレス情報と、パケットコマンドにおけるアドレス情報とを比較する手段と、バッファメモリ上の物理的なアドレスを生成する手段を持ち、バッファメモリ上のデータを転送する場合を検出して自動的に転送を開始することを可能にし、処理速度を向上することができる。

【0113】(4) パケットコマンドにおけるオペレーションコードなどの動作を指示する部分を解読し、更にデータ転送を自動的に開始することによって、記憶装置としての光ディスクドライブ装置のアクセス時間を短縮することができると共に、光ディスクの再生とホストへのデータ転送を順次行うといった、いわゆるシーケンシャルリードを高速化し、平均的な速度も向上することができる。

【0114】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0115】例えば、オペレーションコードをデコードする場合、設定するオペレーションコードの数や、チャネルと割り込み要因フラグの数などは、任意にすること

ができる。

【0116】自動転送を行なうコマンドやデータ転送方法は、任意に設定可能である他、システムの仕様に合わせて適宜に固定することもできる。例えば、コマンドはリードコマンドのみ、ブロックサイズレジスタABSZは2048バイト固定、ホストデータ転送方式はウルトラDMA（ダイレクトメモリアクセス）のみ、などとするなどで全体の論理規模を縮小することができる。

【0117】バッファメモリ上のデータ構成なども任意にできる。バッファメモリ611をリングバッファ構成としても良い。

【0118】CD-ROMなどの既知のフォーマットについては、メモリ上の配置を固定的に、モードやフォームを指定することで、スタートアドレスレジスタASTSRやブロックサイズレジスタABSZなどを自動的に設定するようにしてもよい。

【0119】データ転送の詳細については、詳細な説明を省略したが、これらは公知の技術によって構成できる。

【0120】ホストインタフェースとバッファメモリコントローラ、或いは、復調回路などの機能分割なども任意にできる。

【0121】復調回路や復号回路については、詳細な説明を省略したが、これらは想定する媒体に従って、適宜、適当な仕様や論理構成を採ることができる。

【0122】マイクロコンピュータは、別個の半導体集積回路としているが、単一の半導体集積回路に集積することも可能である。この場合は、割り込み要因フラグ毎に独立した割り込み要求信号をもって、異なるベクタを使用するようにすることで、使い勝手をさらに向上することができる。

【0123】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である光ディスクドライブ装置に適用した場合について説明したが、それに限定されるものではなく、各種電子回路装置に広く適用することができる。

【0124】本発明は、少なくともデジタル信号を取り扱うことを条件に適用することができる。

【0125】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0126】すなわち、判定回路での判定はマイクロコンピュータとは別のハードウェアによる判定であり、上記マイクロコンピュータでの判定よりも短時間で完了することができ、また、上記判定回路での判定を、上記マイクロコンピュータとは別のハードウェアで行うことで、上記マイクロコンピュータの負荷を軽減することができるため、コマンドによって指示された処理の高速化を図ることができる。これにより、光ディスクドライブ

装置においては、データ読み出しの高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる光ディスクドライブ装置に含まれる信号処理用半導体集積回路の構成例ブロック図である。

【図2】上記光ディスクドライブ装置の全体的な構成例ブロック図である。

【図3】上記光ディスクドライブ装置において、ATAPIインタフェースによるデータ転送コマンドが入力された場合の動作を示すフローチャートである。

【図4】割り込みに関するものとして上記信号処理用半導体集積回路に含まれる内部レジスタの説明図である。

【図5】データ転送に関するものとして上記信号処理用半導体集積回路に含まれる内部レジスタの説明図である。

【図6】上記信号処理用半導体集積回路に含まれる判定回路及びホストインタフェース回路についての構成例ブロック図である。

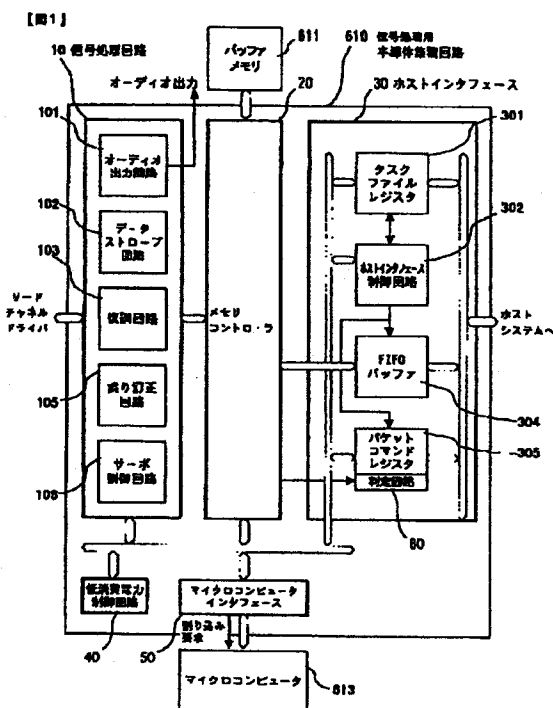
【図7】上記光ディスクドライブ装置に含まれるバッファメモリ上でのデータ構成例の説明図である。

【図8】上記信号処理用半導体集積回路の概略動作タイミング図である。

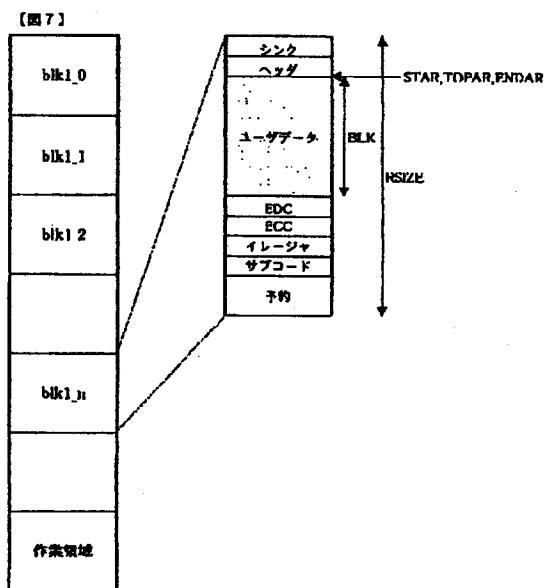
* 【符号の説明】

- 10 信号処理回路
- 20 メモリコントローラ
- 30 ホストインタフェース
- 40 低消費電力制御回路
- 50 マイクロコンピュータインタフェース
- 60 判定回路
- 61 第1比較回路
- 62 第2比較回路
- 101 オーディオ出力回路
- 102 データストロープ回路
- 103 復調回路
- 105 誤り訂正回路
- 106 サーボ制御回路
- 301 タスクファイルレジスタ
- 302 ホストインタフェース制御回路
- 304 FIFOバッファ
- 305 パケットコマンドレジスタ
- 600 光ディスクドライブ装置
- 610 信号処理用半導体集積回路
- 611 バッファメモリ
- 613 マイクロコンピュータ

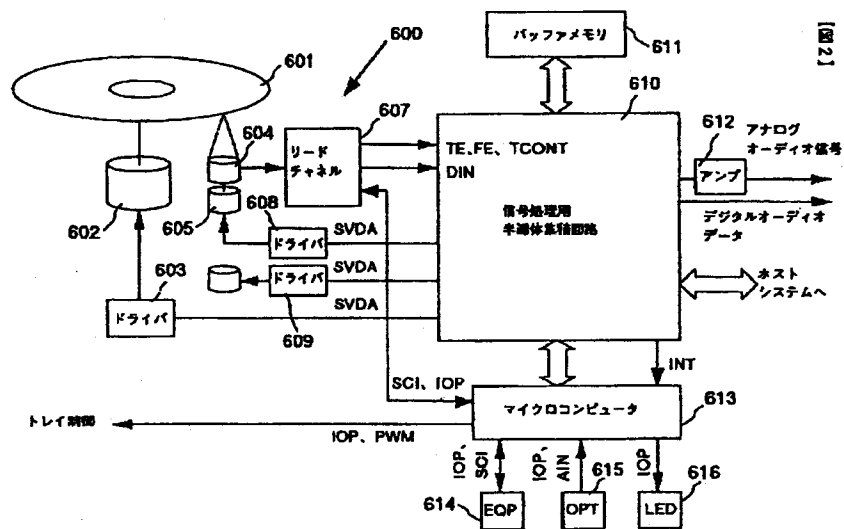
【図1】



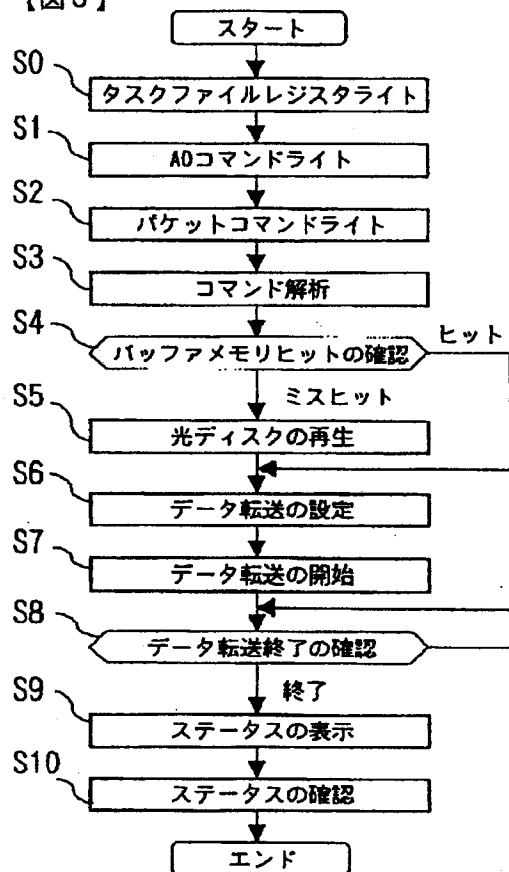
【図7】



【圖 2】



【図3】



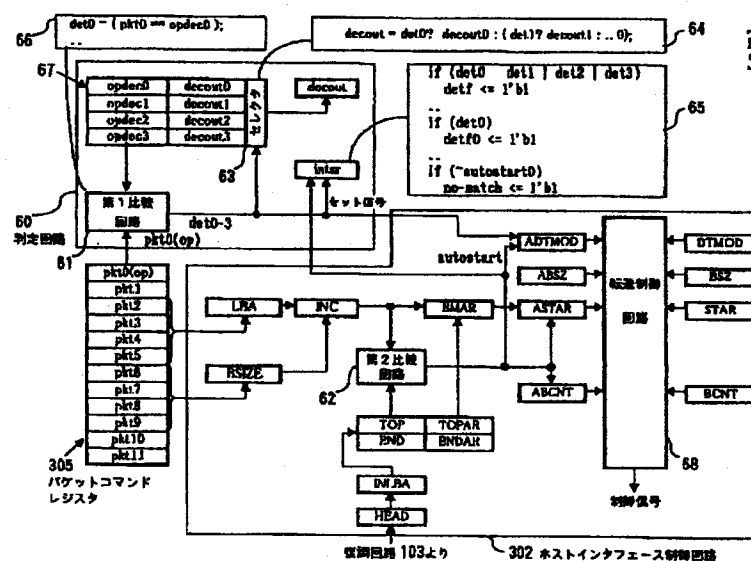
【図4】

レジスタ	フラグ	記号	機能
レジスタ	オペレーションコード指定チャネル0	opdec0	チャネル0の比較するオペレーションコードの指定
	オペレーションコード指定チャネル1	opdec1	チャネル1の比較するオペレーションコードの指定
	オペレーションコード指定チャネル2	opdec2	チャネル2の比較するオペレーションコードの指定
	オペレーションコード指定チャネル3	opdec3	チャネル3の比較するオペレーションコードの指定
	デコードアウト指定レジスタチャネル0	decout0	チャネル0のデコード結果出力指定
	デコードアウト指定レジスタチャネル1	decout1	チャネル1のデコード結果出力指定
	デコードアウト指定レジスタチャネル2	decout2	チャネル2のデコード結果出力指定
	デコードアウト指定レジスタチャネル3	decout3	チャネル3のデコード結果出力指定
	取り込み	pktend	パケットコマンド受信完了
	パケットコマンド入力完了		
フラグ	デコードフラグ0	def0	チャネル0のオペレーションコード抽出
	デコードフラグ1	def1	チャネル1のオペレーションコード抽出
	デコードフラグ2	def2	チャネル2のオペレーションコード抽出
	デコードフラグ3	def3	チャネル3のオペレーションコード抽出
	デコードフラグ	def	いずれかのチャネルのオペレーションコード抽出

【図5】

送受信機能	レジスタ	記号	機能
データ転送	転送モード	DTMOD	転送動作指定
	ブロックサイズレジスタ	BSZ	データ転送単位
	転送開始アドレス	STAR	転送開始バッファメモリアドレス
	ブロックカウント	BCNT2	転送ブロック数
自動	オート転送モード	ADTMOD	自動転送モードの転送動作指定
データ転送	オートブロックサイズレジス	AHSZ	自動転送モードのデータ転送単位
	オート転送開始アドレス	ASTAR	自動転送モードの転送開始バッファメモリアドレス
	オートブロックカウント	ACBNT	自動転送モードの転送ブロック数
バッファメモリ	有効データ先頭ブロック	TOP	先頭有効データの転送ブロックアドレス
	有効データ先頭アドレス	TOPAR	先頭有効データのバッファメモリアドレス
	有効データ最終ブロック	END	最終有効データの転送ブロックアドレス
	有効データ最終アドレス	ENDAR	最終有効データのバッファメモリアドレス
送受信回路	ヘッダレジスタ	HEAD	両生データのヘッダを格納
	ヘッダBAレジスタ	INLBA	ヘッダのNSFアドレスを論理ブロックアドレスに変換して格納

【例題】



【図8】

